

組別：201405

專題名稱：使用全 NAND 閘實現之超低電壓序向電路設計

一、指導老師：林進發 老師

二、組員：林文昌(10030059)、葉威志(10030052)、洪紳寶(10030036)、張可昇(10030050)

三、系統環境：

(一) 軟體：NX Client for Windows、Hspice、Laker

(二) 硬體：示波器、電源供應器、訊號產生器、60MHz 測試線、晶片由台積電(TSMC) 生產最後至國家晶片中心使用數位測量機台-ADVANTEST V93000 驗證

四、系統功能與特色：

(一) 功能

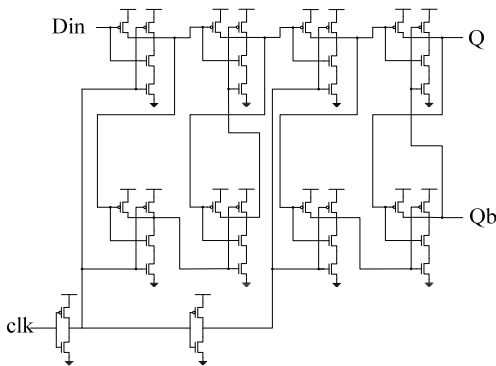


Fig.1 NAND-FF 電路圖

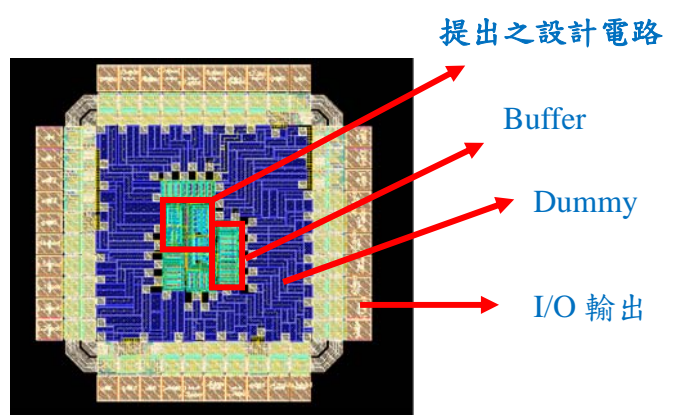


Fig.2 Layout 設計圖

在現今高度整合的SoC晶片中正反器與相關的時脈系統消耗總功率的50%，因此如何有效降低正反器的功耗是現今電路設計的一大挑戰，特別是操作在超低電壓的應用場合。傳統傳輸閘架構之正反器在超低電壓操作時 (<0.3V) 會因漏電問題造成輸出準位的衰退影響電路的正確性。因此在本專題提出全NAND閘式正反器如Fig.1改善傳統上述之問題，主要因此架構無任何pMOS串接的特性有效改善此一問題，最後我們以此電路組成LFSR(Linear feedback shift register)進行晶片設計進行實際的驗證如Fig.2。

(二) 特色

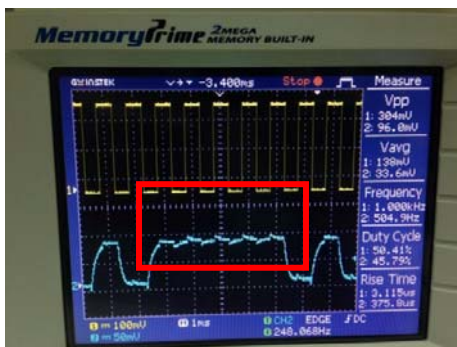


Fig.3 傳統電路

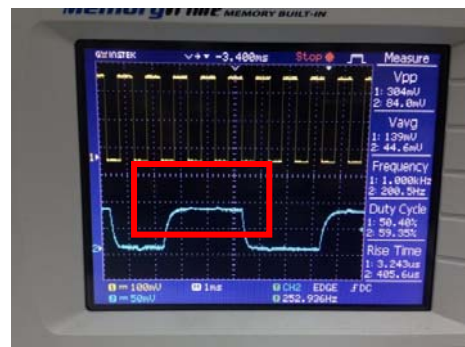


Fig.4 所提出之電路

經實體晶片測試後，傳統電路漏電情況發生如 Fig.3，而所提出之電路明顯改善漏電的情況產生如 Fig.4。因此所提出的設計確實改善先前電路普遍存在的問題，並改善 20% 的功率消耗。