

組別：201501

專題名稱：應用於物聯網之超低功率先進先出設計

一、指導老師：林進發

二、組員：蔡明諺(10130026)、張育瑋(10130074)、陳嘉舷 (10130010)、
古喬嵐 (10130018)、洪志峰(10130012)

三、系統環境：

- (一) 軟體：TSMC 0.18um 製程
- (二) 硬體：SOC (System On Chip)

四、系統功能與特色：

(一) 功能

所提出的設計是一超低功率先進先出First In First Out(FIFO)記憶儲存元件，受限於國家晶片中心(CIC)教育性晶片下線的限制，我們以128-bit為設計範例，主要可應用在相關的感測信號收集與傳送，特別是在功率消耗極端要求的物聯網相關應用。

(二) 特色

在本專題中，我們提出一混合式邏輯(hybrid logic)的架構，透過該架構的特性設計出全新的化簡技巧來減少整體電路的時脈負載，進而實現超低功率及低面積的正反器(flip-flop)設計。所提出的設計是採用傳統SR-latch為基底設計，並將其改為混合式邏輯(hybrid logic)的架構來簡化電晶體的數量，再搭配所提出的化簡技巧來達到電路最佳化的設計。根據後模擬結果(post-layout simulation)，所提出的設計與傳統TGFF(Transmission Gate FF)比較可節省80.3%的功耗與86.4%的能量以及20.2%的佈局面積。此一數據已超越2011年友晶片奧斯卡美名的國際研討會ISSCC最低功率的正反器設計[1]，最後利用TSMC 0.18um製程進行下線。